

Docket No.: P2002,0952

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: December 5, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/713,689
Applicant : Christoph Ludwig
Filed : November 14, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : P2002,0952
Customer No.: 24131

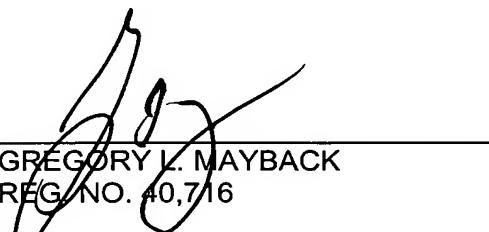
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 53 164.1 filed November 14, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: December 5, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 53 164.1

Anmeldetag: 14. November 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Speicherzellenfeld

IPC: G 11 C 16/04

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 06. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A large, handwritten signature in black ink, appearing to read "Kahlo", is written over a diagonal line.

Kahlo

Beschreibung

Speicherzellenfeld

5 Die vorliegende Erfindung betrifft eine Speicherzellenanordnung, bei der eine Ausdiffusion von Dotierstoff aus Bitleitungen zum mindesten weitgehend vermieden ist.

10 Ein Speicherzellenfeld stellt eine matrixartige Anordnung von Speichertransistoren dar, bei denen jeweils an einer Oberseite eines Halbleiterkörpers oder Substrates ein Kanalbereich zwischen Source-/Drain-Bereichen vorhanden ist. Der Kanalbereich wird mittels einer Gate-Elektrode angesteuert, die von dem Kanalbereich durch ein Gate-Dielektrikum getrennt ist.

15 In dem Gate-Dielektrikum ist eine Speicherschicht vorhanden, die für das Programmieren der jeweiligen Speicherzelle vorgesehen ist. Eine solche Speicherschicht kann zum Beispiel eine elektrisch leitfähige Schicht sein, die entsprechend einem 20 Floating-Gate angeordnet ist, oder eine für Charge-Trapping heißer Elektronen aus dem Kanal (CHE) vorgesehene Speicherschichtfolge, zum Beispiel eine Oxid-Nitrid-Oxid-Schichtfolge (ONO-Schichtfolge).

25 Die Gate-Elektroden sind zeilenweise durch parallel und im Abstand zueinander angeordnete Wortleitungen verbunden; die Source-/Drain-Bereiche sind spaltenweise durch parallel und im Abstand zueinander angeordnete Bitleitungen miteinander verbunden. Die Wortleitungen sind vorzugsweise elektrisch 30 leitfähige Streifen auf der Oberseite der Anordnung. Als Bitleitungen sind so genannte vergrabene Bitleitungen geeignet, die als streifenförmige dotierte Bereiche in dem Halbleitermaterial ausgebildet sind. Diese vergrabenen Bitleitungen verbinden somit unmittelbar die auch als dotierte Bereiche 35 ausgebildeten Source-/Drain-Bereiche miteinander, die insbesondere jeweilige Anteile der vergrabenen Bitleitungen darstellen können.

Da zur Herstellung dieser Bitleitungen Dotierstoff in das Halbleitermaterial eingebracht wird und dieser Dotierstoff in nachfolgenden Temperschritten des Herstellungsprozesses der

5 Speicherzellenanordnung aus dem ursprünglichen Bereich ausdiffundiert, tritt das Problem auf, dass diese Strukturierung der Speicherzellenanordnung nicht auf beliebig kleine Abmessungen reduziert werden kann. Üblicherweise folgen auf die Ausbildung der vergrabenen Bitleitungen Prozessschritte, die

10 bei Prozesstemperaturen von mehr als 600°C durchgeführt werden, z. B. Oxidationen, Abscheidung von Polysilizium und Ausheilen von Implantaten zur Aktivierung der Dotierungen. Die dabei auftretende thermische Belastung führt zu einer Ausdiffusion der Dotierstoffe der Bitleitungen, die das ursprüngliche

15 Dotierstoffprofil verschmieren und die betreffenden Bereiche vergrößern. Das setzt einer Skalierung der Struktur zu immer kleineren Abmessungen hin technische Grenzen. Eine gewünschte Einstellung des Dotierstoffprofils, insbesondere im Bereich des pn-Überganges der Source-/Drain-Bereiche zur dotierten Wanne des Halbleiterkörpers hin, ist nur in Grenzen möglich; ein abrupter Übergang der Dotierstoffkonzentration lässt sich nicht realisieren.

25 Um eine kleine Strukturbreite eines derartigen Speicherzellenfeldes zu ermöglichen, die in oder unter der Größenordnung der auftretenden Ausdiffusion der Dotierstoffatome aus den vergrabenen Bitleitungen liegt, können die einzelnen Speicherzellen als Grabentransistoren ausgebildet werden. Bei derartigen Speichertransistoren befindet sich die jeweilige

30 Gate-Elektrode in einem in dem Halbleitermaterial hergestellten Graben zwischen den dotierten Source-/Drain-Bereichen. Bei einer derartigen Struktur spielt nur noch die Ausdiffusion des Dotierstoffes aus den Source-/Drain-Bereichen nach unten in Richtung des Substrates eine Rolle. Wenn die Gräben

35 ausreichend tief sind, so dass der Grabenboden tiefer im Substrat liegt als die Grenze des ausdiffundierten Dotierstoffes, ist bei dem so strukturierten Speichertransistor zumin-

dest die laterale, durch Fotolithographie bestimmte Struktur-
breite kleiner ist als die Länge der Ausdiffusion. Damit
lässt sich eine Verkleinerung der Speicherzellen erreichen,
aber das Verschmieren des Dotierstoffprofils im Bereich des
5 pn-Überganges kann nicht verhindert werden.

Aufgabe der vorliegenden Erfindung ist es, ein Speicherzel-
lenfeld mit Bitleitungen aus dotiertem Halbleitermaterial an-
zugeben, bei dem die Bitleitungen besser abgegrenzt sind.

10

Diese Aufgabe wird mit dem Speicherzellenfeld mit den Merkma-
len des Anspruches 1 gelöst. Ausgestaltungen ergeben sich aus
den abhängigen Ansprüchen.

15 Bei dem Speicherzellenfeld sind die Bitleitungen nicht durch
Implantationen in den Halbleiterkörper ausgebildet, sondern
durch eine hoch dotierte und streifenförmig strukturierte
Schicht aus Halbleitermaterial, vorzugsweise aus Polysilizi-
um, auf der Oberseite eines Halbleiterkörpers oder Substra-
tes. Zwischen diesem für die Bitleitungen vorgesehenen Halb-
leitermaterial und dem Halbleitermaterial des Halbleiterkör-
pers oder Substrates ist eine dünne Barrièreschicht ange-
bracht, die als Diffusionsbarriere die Ausdiffusion des Do-
tierstoffes zumindest weitgehend verhindert.
20

25

Die Kanalbereiche sind in einer dotierten Wanne eines ersten
Leitfähigkeitstyps angeordnet. Daran anschließend befinden
sich die Source-/Drain-Bereiche, an die die Bitleitungen an-
geschlossen sind. Die Bitleitungen sind für einen zweiten
30 Leitfähigkeitstyp entgegengesetzten Vorzeichens hoch dotiert
und so angeordnet, dass die Source-/Drain-Bereiche streifen-
weise elektrisch leitend miteinander verbunden sind. Zwischen
den Bitleitungen und den Source-/Drain-Bereichen befinden
sich Anteile der Barrièreschicht. Da die Barrièreschicht sehr
35 dünn ausgebildet ist, beeinträchtigt sie die Funktionsweise
des Bauelementes nicht.

Der wesentliche Bestandteil der Bitleitungen ist die streifenförmige dotierte Halbleiterschicht, die sowohl als niederohmige elektrisch leitende Verbindung als auch als Elektrode von Source bzw. Drain fungiert. Mit der Barriereschicht wird ein besser abgegrenztes Dotierstoffprofil erreicht, wobei sich der pn-Übergang vorzugsweise an oder in der Barriereschicht befindet. Es liegt im Rahmen der Erfindung, dass Dotierstoffatome der Bitleitungen in die unterhalb der Barriereschicht vorhandenen Bereiche des Halbleiterkörpers ausdiffundiert sind. Falls die Speichertransistoren als Grabentran-
10 sistorstrukturiert sind, lässt sich bei dieser Anordnung der Bitleitungen die Grabentiefe gegenüber herkömmlichen der-
artigen Speicherzellenfeldern reduzieren.

15 Beim Auslesen der programmierten Speicherzellen wirkt die Diffusionsbarriere aufgrund der geringen Dicke der Barriereschicht nicht als elektrische Isolation. Sie wird von den Ladungsträgern durchtunnelt. Beim Programmieren bzw. Löschen ist ein schärfer begrenztes Dotierstoffprofil zur Optimierung
20 des Programmier- bzw. Löschvorganges von Vorteil. Das betrifft insbesondere die Ausgestaltung als Charge-Trapping-Speicherzellen, zum Beispiel mit ONO-Speicherschichtfolge.

25 Es folgt eine genauere Beschreibung von Beispielen des Speicherzellenfeldes anhand der Figuren 1 und 2.

Die Figur 1 zeigt ein Beispiel des Speicherzellenfeldes mit Grabentran-
20 sistoren im Querschnitt.

30 Die Figur 2 zeigt ein Beispiel des Speicherzellenfeldes mit planaren Speichertransistoren im Querschnitt.

In der Figur 1 ist im Querschnitt ein Ausschnitt aus einem Speicherzellenfeld mit Grabentran-
35 sistoren dargestellt. In einem Halbleiterkörper 1 oder Substrat aus Halbleitermaterial ist eine für einen ersten Leitfähigkeitstyp, vorzugsweise für p-Leitung, dotierte Wanne 2 durch Einbringen von Dotierstoff

ausgebildet. An der Oberseite befinden sich in diesem Ausführungsbeispiel Diffusionsbereiche 3 eines entgegengesetzten zweiten Leitfähigkeitstyps, in dem angegebenen Beispiel also n-Leitung. Die Diffusionsbereiche 3 bilden zumindest einen 5 Anteil der Source-/Drain-Bereiche. An dieser Stelle sind bei Speichertransistoren gemäß dem Stand der Technik für das der Wanne 2 entgegengesetzte Vorzeichen der Leitfähigkeit dotierte Bereiche angeordnet, die jeweils einen Abschnitt der vergrabenen Bitleitungen bilden.

10

Zwischen den Diffusionsbereichen 3 gemäß diesem Ausführungsbeispiel befinden sich parallel zueinander ausgerichtete und im Abstand zueinander angeordnete Gräben, deren Wände mit einem Gate-Dielektrikum 4 versehen sind. Das Gate-Dielektrikum 15 4 weist eine Speicherschicht auf, die zumindest zwischen der jeweiligen in dem Graben angeordneten Gate-Elektrode 6 und den Source-/Drain-Bereichen vorhanden ist. Die Wände und der Boden des Grabens bilden den Kanalbereich 5.

20 Bei dieser Anordnung befinden sich auf den Diffusionsbereichen 3 des zweiten Leitfähigkeitstyps jeweils Anteile einer dünnen Barriereschicht 10. Darüber sind die senkrecht zur Zeichenebene verlaufend streifenförmig ausgebildeten Bitleitungen 11 angeordnet, die für den zweiten Leitfähigkeitstyp dotiertes Halbleitermaterial, vorzugsweise Polysilizium, 25 sind.

Die Diffusionsbereiche 3 werden durch Dotierstoffatome erzeugt, die aus dem dotierten Halbleitermaterial der Bitleitungen 11 durch die Barriereschicht 10 hindurch in das Halbleitermaterial des Halbleiterkörpers ausdiffundieren. Falls 30 die Barriereschicht 10 ein Ausdiffundieren des Dotierstoffs so weitgehend verhindert, dass das Halbleitermaterial der dotierten Wanne 2 nicht in den entgegengesetzten Leitfähigkeitstyp umdotiert wird, sind keine Diffusionsbereiche 3 der beschriebenen Art vorhanden oder feststellbar.

Zur Verringerung des elektrischen Bahnwiderstandes kann auf den eigentlichen Bitleitungen 11 jeweils mindestens eine weitere streifenförmige Bitleitungsschicht 12 aus Metall oder einem metallhaltigen Material aufgebracht sein, zum Beispiel 5 W und/oder WN.

Eine dielektrische Abdeckung 13, zum Beispiel aus Nitrid, sowie dielektrische Spacer 14, zum Beispiel ebenfalls Nitrid, isolieren die Bitleitungen elektrisch von den Gate-Elektroden 10 6 und den Wortleitungen 7 aus elektrisch leitfähigem Material. Auf den Wortleitungen 7 kann ebenfalls eine weitere Wortleitungsschicht 8 zur Verminderung des elektrischen Bahnwiderstandes vorgesehen sein. Die Wortleitungen werden nach oben durch eine elektrisch isolierende Passivierung 9 abgedeckt. Wesentlich für die erfindungsgemäße Anordnung sind die 15 Barrièreschicht 10 und die außerhalb des eigentlichen Halbleiterkörpers 1 aufgebrachten streifenförmigen Bitleitungen 11 aus hoch dotiertem Halbleitermaterial.

20 In der Figur 2 ist im Querschnitt ein Ausschnitt aus einem weiteren Ausführungsbeispiel des Speicherzellenfeldes dargestellt. Die einander entsprechenden Teile des Speicherzellenfeldes gemäß der Figur 1 und des Speicherzellenfeldes gemäß der Figur 2 sind mit denselben Bezugszeichen versehen, so dass sich eine Angabe der Einzelheiten der Anordnung gemäß 25 der Figur 2 erübrigt. Auch bei dem Ausführungsbeispiel gemäß der Figur 2 sind die Barrièreschicht 10 und die oberseitig aufgebrachten Bitleitungen 11 aus hoch dotiertem Halbleitermaterial vorhanden.

30 Bei dem Ausführungsbeispiel gemäß der Figur 2 sind die Gate-Elektroden 6 separat von den Wortleitungen 7 gezeichnet, um anzudeuten, dass die Gate-Elektroden 6 ein Material sein können, das von dem Material der Wortleitungen 7 verschieden 35 ist. Das gilt auch für das Ausführungsbeispiel gemäß der Figur 1.

Die Barriereschicht 10 kann, insbesondere bei Verwendung von Polysilizium für die Bitleitungen 11, ein Siliziumoxid, insbesondere Siliziumdioxid sein, das eine typische Dicke von einer oder wenigen Atomlagen besitzt und bevorzugt als Native-Oxide oder als thermisches Oxid hergestellt wird. Für die Barriereschicht kommt auch ein Siliziumnitrid in Frage, insbesondere Si_3N_4 , mit einer typischen Dicke von ebenfalls einer oder wenigen Atomlagen, hergestellt bevorzugt in einem RTN-Schritt. Ein weiteres bevorzugt geeignetes Material für die Barriereschicht ist Al_2O_3 , das vorzugsweise durch ALD/ALCVD in einer oder wenigen Atomlagen hergestellt wird.

Bei der Herstellung kann das Speicherzellenfeld auf einem Wafer zunächst in einer an sich bekannten Weise durch eine STI-Isolation (shallow trench isolation) begrenzt werden. Die Barriereschicht 10 wird vorzugsweise ganzflächig auf einer einkristallinen Wafer-Oberfläche aufgebracht, in der durch eine geeignete Dotierung, bevorzugt eine p-Dotierung, eine Wanne 2 hergestellt ist. Eine p-Dotierung kann in Silizium durch Implantation von Bor und/oder Indium erzeugt werden.

Es folgt die Abscheidung des Halbleitermaterials, das für die Bitleitungen 11 vorgesehen ist, vorzugsweise eine Polysiliziumschicht in einer typischen Dicke von etwa 40 nm. Dieses Halbleitermaterial wird hoch für den entgegengesetzten Leitfähigkeitstyp dotiert, bei p-Wannen demnach n-leitend. Polysilizium kann zum Beispiel mit Arsen n-leitend dotiert werden, wobei die Dotierstoffkonzentration typisch bei etwa $5 \times 10^{20} \text{ cm}^{-3}$ liegt. Dabei ist es günstig, wenn das Material der Bitleitungen kurz nach der Herstellung der Barrierefürschicht 10 aufgebracht wird.

Zur Verbesserung der Bitleitungen können dann noch weitere Bitleitungsschichten abgeschieden werden, zum Beispiel 5 nm WN und zum Beispiel 30 nm W. Insbesondere sind Abscheidungen von metallhaltigen Schichten geeignet, mit denen die elektrischen Bahnwiderstände der Bitleitungen reduziert werden kön-

nen. Dabei sind hochtemperaturfeste (refractory) Metalle besonders geeignet. Das sind insbesondere WSi_x oder Schichtstapel aus WN und W oder TiN oder TaN. Derartige Materialien überstehen die hohen Prozesstemperaturen von bis zu typisch 5 $1000^{\circ}C$.

Danach wird noch eine Schicht abgeschieden, die die Bitleitungen von den nachher aufzubringenden Wortleitungen elektrisch isoliert und vorzugsweise ein Material ist, das als 10 Hartmaske für das Strukturieren der Bitleitungen geeignet ist. Als ein solches Material ist insbesondere ein Nitrid des Halbleitermaterials, insbesondere Si_3N_4 geeignet. Diese 15 Schicht wird fotolithographisch strukturiert und anschließend als Hartmaske zum Strukturieren der darunter abgeschiedenen Schichten zu den streifenförmig und parallel zueinander verlaufenden Bitleitungen verwendet.

Bei der Herstellung von Grabentransistoren kann direkt in das Halbleitermaterial hinein geätzt werden, um die Gräben auszubilden. Vorzugsweise werden jedoch vor der eigentlichen Grabenätzung die in der Figur 1 eingezeichneten Spacer 14 hergestellt, die den Bitleitungsstapel seitlich elektrisch isolieren und die Grabenbreite etwas verringern. Diese Spacer können ebenfalls aus Nitrid hergestellt werden, was in einer an sich bekannten Weise geschieht, indem zunächst das Material der Spacer ganzflächig konform abgeschieden und anschließend anisotrop rückgeätzt wird. Zum Ätzen der Gräben ist insbesondere RIE (reactive ion etching) geeignet. Es wird dann auf 20 die Wände der Gräben das Gate-Dielektrikum mit der Speicherschicht aufgebracht. Dafür ist insbesondere eine für Charge-Trapping-Speicherzellen geeignete Schichtfolge bevorzugt, zum Beispiel eine Oxid-Nitrid-Oxid-Schichtfolge. Eine solche Schichtfolge dient dem Programmieren der Speicherzelle durch Einfangen (Trapping) heißer Elektronen aus dem Kanalbereich. 25 Die die eigentliche Speicherschicht begrenzenden Oxidschichten können durch Abscheideprozesse oder auch direkt durch thermische Oxidation hergestellt werden.

Es wird dann das Material der Gate-Elektroden 6, zum Beispiel dotiertes Polysilizium, in die Gräben abgeschieden. Die Gräben werden vorzugsweise ganz mit diesem Material gefüllt, so 5 dass auch eine Schicht auf der Oberseite der Bitleitungsstapel gebildet wird, die anschließend zu den Wortleitungen 7 strukturiert werden kann. Auf das Polysilizium kann eine Schichtfolge aus WN/W oder WSix aufgebracht werden. Die Gate-Elektroden können auch aus Metall oder einem metallhaltigen 10 Material hergestellt werden. Das ist von anderen Speicherzellenfeldern an sich bekannt. Die Wortleitungen werden dann streifenförmig quer zu den Bitleitungen verlaufend strukturiert. Es schließen sich übliche Verfahrensschritte für die Ansteuerperipherie und die Verdrahtung an.

15

Das Ausführungsbeispiel gemäß der Figur 2 kann alternativ so hergestellt werden, dass auf die Wafer-Oberseite nach der Implantation der Wannen ganzflächig die Speicherschichtfolge, insbesondere eine ONO-Schichtfolge, aufgebracht wird. Es wird 20 dann eine Hilfsschicht ganzflächig aufgebracht, die unter Verwendung einer Maske zu streifenförmigen Anteilen im Bereich der herzustellenden Bitleitungen strukturiert wird.

25

An den Flanken dieser verbleibenden streifenförmigen Anteile werden die in der Figur 2 eingezeichneten Spacer 14 hergestellt. In die Öffnungen zwischen den Spacern wird dann das Material der Barriereschicht 10, der Bitleitungen 11 und eventuell weiterer Bitleitungsschichten 12 sowie einer elektrisch isolierenden Abdeckung 13 abgeschieden. Die Bitleitungen sind damit nach außen bereits elektrisch isoliert.

35

Nach dem Entfernen der Hilfsschicht können dann die jetzt freigelegten Bereiche der Speicherschichtfolge mit den Gate-Elektroden versehen werden. Das geschieht auch hier vorzugsweise durch Abscheiden hoch dotierten Polysiliziums. Es folgt die Abscheidung der übrigen für die Wortleitungen vorgesehenen Schichten. Eine elektrisch isolierende Passivierung 9

wird vorzugsweise nach der streifenförmigen Strukturierung der Wortleitungen 7 und weiteren Wortleitungsschichten 8 aufgebracht, so dass die Oberfläche planarisiert wird.

Patentansprüche

1. Speicherzellenfeld mit

einer matrixartigen Anordnung von Speichertransistoren, die

5 jeweils an einer Oberseite eines Halbleiterkörpers (1) oder
Substrates in einer dotierten Wanne (2) eines ersten Leitfähig-
keitstyps einen Kanälbereich (5) zwischen Source-/Drain-
Bereichen aufweisen sowie eine Gate-Elektrode (6), die von
dem Kanälbereich (5) durch ein Gate-Dielektrikum (4) getrennt
10 ist, das eine Speicherschicht aufweist, und mit
einer zeilenweisen Verbindung der Gate-Elektroden (6) durch
parallel und im Abstand zueinander angeordnete Wortleitungen
(7) sowie einer spaltenweisen Verbindung der Source-/Drain-
Bereiche durch parallel und im Abstand zueinander angeordnete
15 Bitleitungen,

d a d u r c h g e k e n n z e i c h n e t, dass
die Bitleitungen (11) als Streifen aus Halbleitermaterial,
das für einen zweiten Leitfähigkeitstyp entgegengesetzten
Vorzeichens der Leitfähigkeit hoch dotiert ist, auf der Ober-
20 seite des Halbleiterkörpers (1) oder Substrates derart aufge-
bracht sind, dass die Source-/Drain-Bereiche spaltenweise
miteinander verbunden sind, und
zwischen der Oberseite des Halbleiterkörpers (1) und den Bit-
leitungen (11) jeweils eine Barriereschicht (10) als Diffusi-
25 onssbarriere angeordnet ist.

2. Speicherzellenfeld nach Anspruch 1, bei dem

die Bitleitungen (11) n-leitend dotiertes Polysilizium sind.

30 3. Speicherzellenfeld nach Anspruch 1 oder 2, bei dem

die Barriereschicht (10) ein Siliziumoxid einer oder weniger
Atomlagen ist.

4. Speicherzellenfeld nach Anspruch 1 oder 2, bei dem

35 die Barriereschicht (10) ein Siliziumnitrid einer oder weni-
ger Atomlagen ist.

5. Speicherzellenfeld nach Anspruch 1 oder 2, bei dem die Barrièreschicht (10) Al_2O_3 einer oder weniger Atomlagen ist.
- 5 6. Speicherzellenfeld nach einem der Ansprüche 1 bis 5, bei dem die Speicherschicht für ein Programmieren durch Charge-Trapping vorgesehen ist.
- 10 7. Speicherzellenfeld nach einem der Ansprüche 1 bis 6, bei dem die Gate-Elektroden (6) jeweils in einem Graben zwischen den Source-/Drain-Bereichen angeordnet sind und die Speicherschicht zumindest zwischen einer jeweiligen Gate-15 Elektrode (6) und den Source-/Drain-Bereichen vorhanden ist.

Zusammenfassung

Speicherzellenfeld

- 5 In einer matrixartigen Anordnung von Speichertransistoren mit auf der Oberseite angeordneten zueinander parallelen Wortleitungen (7) sind die quer dazu verlaufenden Bitleitungen (11) durch oberseitig aufgebrachte Polysiliziumstreifen ausgebildet, die von dem Halbleiterkörper (1) durch Barriereschichten
- 10 (10) als Diffusionsbarrieren getrennt sind.

Figur 1

Bezugszeichenliste

- 1 Halbleiterkörper
- 2 Wanne
- 5 3 Diffusionsbereich
- 4 Gate-Dielektrikum
- 5 Kanalbereich
- 6 Gate-Elektrode
- 7 Wortleitung
- 10 8 weitere Wortleitungsschicht
- 9 Passivierung
- 10 Barriereschicht
- 11 Bitleitung
- 12 weitere Bitleitungsschicht
- 15 13 Abdeckung
- 14 Spacer

P2002,0952

1/1

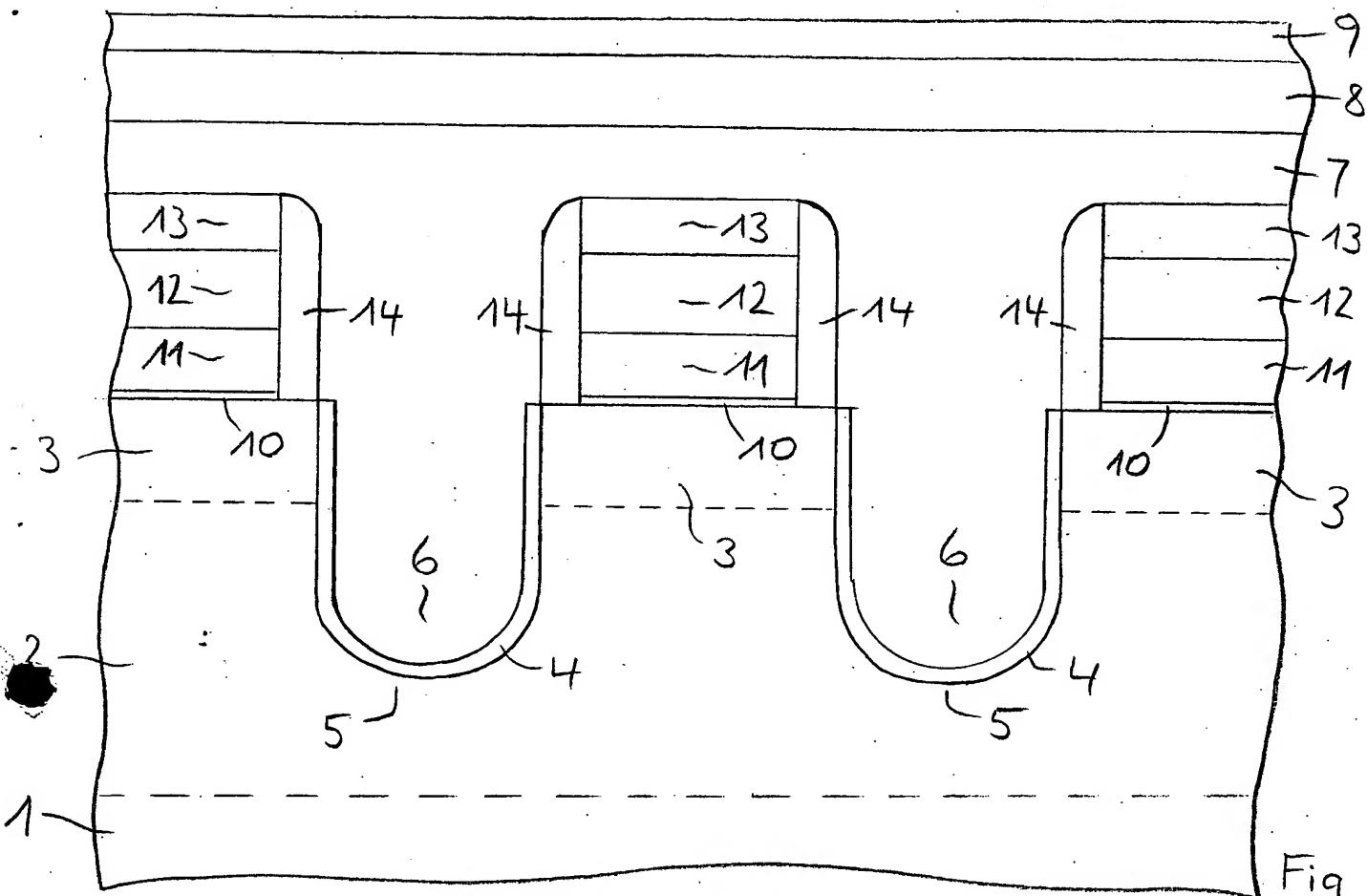


Fig. 1

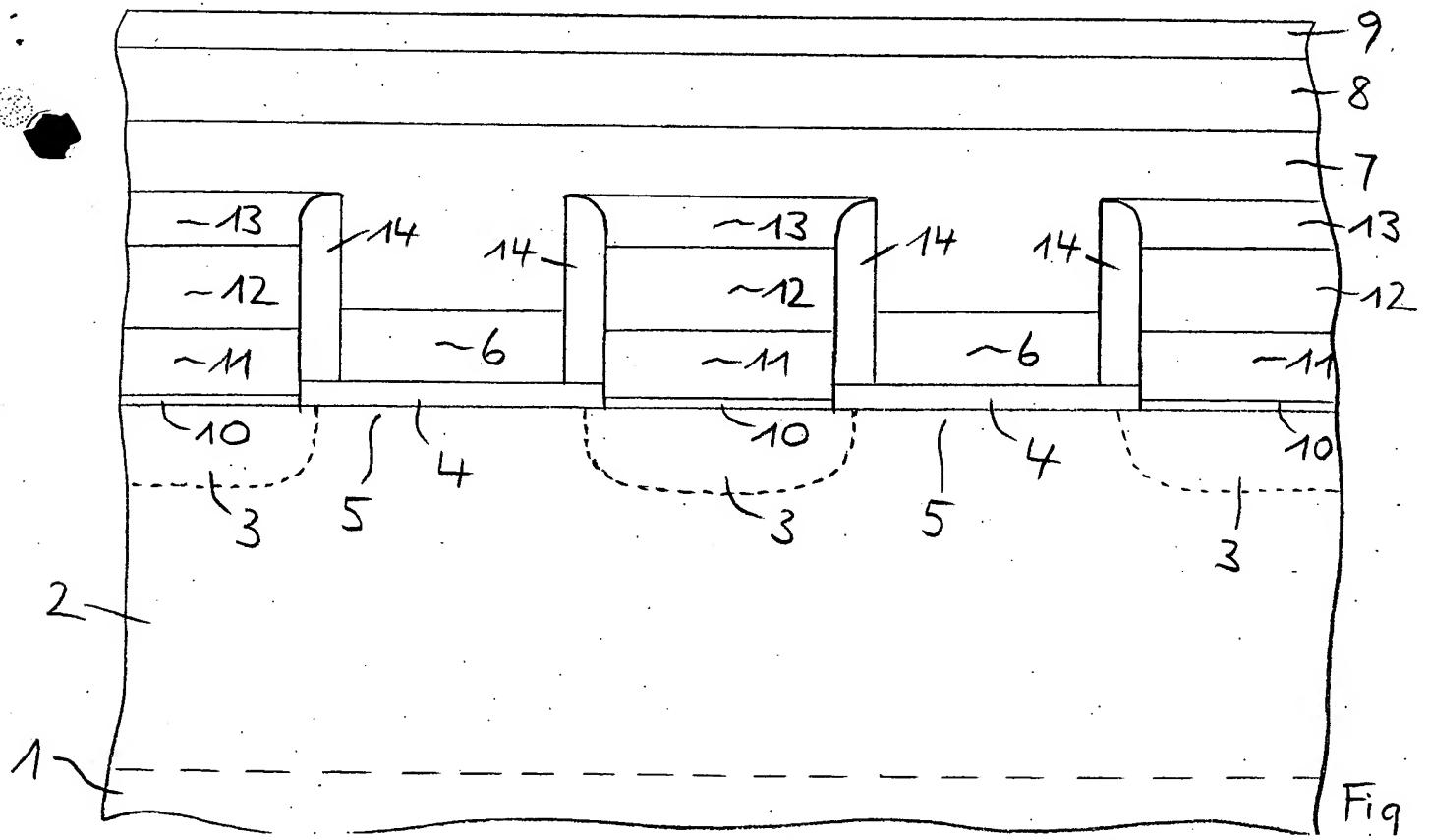


Fig. 2